

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 5月14日

出願番号 Application Number: 特願2003-135450

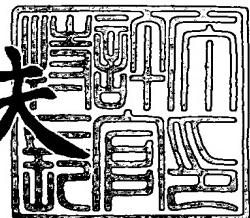
[ST. 10/C]: [JP2003-135450]

出願人 Applicant(s): 沖電気工業株式会社

2003年 9月22日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 KA003890
【提出日】 平成15年 5月14日
【あて先】 特許庁長官 太田 信一郎 殿
【国際特許分類】 H03M 1/44
【発明者】
【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
【氏名】 本松 良
【特許出願人】
【識別番号】 000000295
【氏名又は名称】 沖電気工業株式会社
【代理人】
【識別番号】 100086807
【弁理士】
【氏名又は名称】 柿本 恭成
【手数料の表示】
【予納台帳番号】 007412
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9001054
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パイプライン型アナログ・ディジタル変換器

【特許請求の範囲】

【請求項 1】 アナログの入力電圧を 1. 5 ビットのデジタル信号に変換するサブ A/D 変換器と、前記デジタル信号をアナログ電圧に変換するサブ D/A 変換器と、前記入力電圧と前記アナログ電圧との差電圧を標本化及び保持してその保持した差電圧を増幅する増幅器とを備えたアナログ・ディジタル変換ステージを複数段継続接続し、クロック信号に基づいてパイプライン処理を行うことによって変換対象のアナログ入力信号に対応する所定ビット数のデジタル出力信号を得るパイプライン型アナログ・ディジタル変換器において、

前記複数のアナログ・ディジタル変換ステージのうちで前記アナログ入力信号が与えられる初段のアナログ・ディジタル変換ステージは、

前記アナログ入力信号を標本化及び保持して該アナログ入力信号の $1/N$ (但し、N は 2 または 4) の電圧を第 1 のアナログ電圧として出力する第 1 の増幅器と、

前記第 1 のアナログ電圧を 1. 5 ビットの第 1 のデジタル信号に変換する第 1 のサブ A/D 変換器と、

前記第 1 のデジタル信号を第 2 のアナログ電圧に変換する第 1 のサブ D/A 変換器と、

前記第 1 及び第 2 のアナログ電圧の差電圧を標本化及び保持して該保持した差電圧を N 倍に増幅して第 3 のアナログ電圧を出力する第 2 の増幅器と、

前記第 3 のアナログ電圧を 1. 5 ビットの第 2 のデジタル信号に変換する第 2 のサブ A/D 変換器と、

前記第 2 のデジタル信号を第 4 のアナログ電圧に変換する第 2 のサブ D/A 変換器と、

前記第 3 及び第 4 のアナログ電圧の差電圧を標本化及び保持して該保持した差電圧を 2 倍に増幅して次段のアナログ・ディジタル変換ステージへ与える第 3 の増幅器と、

前記第 1 及び第 2 のデジタル信号に基づいて最上位ビットに対応する 1. 5

ビットのデジタル信号を生成する判定部と、
備えたことを特徴とするパイプライン型アナログ・デジタル変換器。

【請求項2】 アナログの入力電圧を1.5ビットのデジタル信号に変換するサブA/D変換器と、前記デジタル信号をアナログ電圧に変換するサブD/A変換器と、前記入力電圧と前記アナログ電圧との差電圧を標本化及び保持してその保持した差電圧を増幅する増幅器とを備えたアナログ・デジタル変換ステージを複数段継続接続し、クロック信号に基づいてパイプライン処理を行うことによって変換対象のアナログ入力信号に対応する所定ビット数のデジタル出力信号を得るパイプライン型アナログ・デジタル変換器において、

前記複数のアナログ・デジタル変換ステージのうちで前記アナログ入力信号が与えられる初段のアナログ・デジタル変換ステージは、

前記アナログ入力信号に基準電圧を加えた電圧を保持して出力する第1の保持部と、

前記アナログ入力信号を保持して出力する第2の保持部と、

前記アナログ入力信号から前記基準電圧を減じた電圧を保持して出力する第3の保持部と、

前記アナログ入力信号を前記基準電圧の±1/2の電圧と比較して1.5ビットの第1のデジタル信号に変換する第1のサブA/D変換器と、

前記第1、第2及び第3の保持部から出力される電圧の1つを前記第1のデジタル信号に従って選択して第1のアナログ電圧として出力する選択部と、

前記第1のアナログ電圧を1.5ビットの第2のデジタル信号に変換する第2のサブA/D変換器と、

前記第2のデジタル信号を第2のアナログ電圧に変換するサブD/A変換器と、

前記第1及び第2のアナログ電圧の差電圧を標本化及び保持して該保持した差電圧を2倍に増幅して次段のアナログ・デジタル変換ステージへ与える増幅器と、

前記第1及び第2のデジタル信号に基づいて最上位ビットに対応する1.5ビットのデジタル信号を生成する判定部と、

備えたことを特徴とするパイプライン型アナログ・デジタル変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、1.5ビットのアナログ・デジタル変換器（以下、「ADC」という）を継続接続して構成したパイプライン型ADCに関するものである。

【0002】

【従来の技術】

【0003】

【特許文献1】 特開平10-178345号公報

【特許文献2】 特開2002-314420号公報

【0004】

図2（a）～（c）は、従来のパイプライン型ADCの概略を示す構成図である。

【0005】

このパイプライン型ADCは、図2（a）に全体構成を示すように、タイミング信号TMに基づいて、アナログ入力信号AIを一定周期で標本化して保持するサンプル・ホールド増幅器（以下、「SHA」という）1を有している。SHA1の出力側には、継続接続された1.5ビットのアナログ・デジタル変換ステージ（以下、「STG」という） $2_1 \sim 2_m$ が接続されている。

【0006】

各STG $2_1 \sim 2_m$ は、図2（b）にその構成を示すように、サブADC（以下、「SADC」という）3、サブ・ディジタル・アナログ変換器（以下、「SDAC」という）4、減算器5、及び電圧増幅度が2に設定されたSHA6で構成されている。SADC3は、入力電圧VIを基準電圧 $\pm VR/4$ と比較して、 $-VR/4$ 以下、 $-VR/4 \sim +VR/4$ 、 $+VR/4$ 以上との3つの電圧範囲の内のいずれに入っているかを検出するもので、この検出結果を示す1.5ビットの信号A、B、Cが、SDAC4に与えられるようになっている。

【0007】

S D A C 4 は、信号A, B, Cに従って、 $-V_R/2$, 0, $+V_R/2$ の電圧を出力するものである。S D A C 4 の出力側は、減算器5の一入力端子に接続され、この減算器5の+入力端子には入力電圧V I が与えられている。減算器5は、入力電圧V I からS D A C 4 の出力電圧を減算し、その差電圧をS H A 6 に与えるものである。S H A 6 は、減算器5から与えられた差電圧を2倍に増幅し、その増幅した電圧を保持して出力電圧V O として出力するものである。

【0008】

最終段のS T G 2 m の出力側には、このS T G 2 m から出力される電圧を2ビットのデジタル信号に変換するS A D C 7 が接続されている。各S T G 2 1 ~ 2 m の判定結果の信号A, B, C と、S A D C 7 で変換されて出力されたデジタル信号D は、エンコーダ8 に与えられている。また、これらのS H A 1 、S T G 2 1 ~ 2 m 、S A D C 7 、及びエンコーダ8 には、タイミング生成部9 で生成されたタイミング信号T M が与えられるようになっている。

【0009】

エンコーダ8 は、各S T G 2 1 ~ 2 m から出力される判定結果の信号A, B, C を、タイミング信号T M に基づいて順次シフトして保持し、S A D C 7 から出力されるデジタル信号D に対応して、アナログ入力信号A I に対する各S T G 2 1 ~ 2 m の判定結果をパイプライン処理することによって、デジタル信号D O を生成して出力するものである。

【0010】

図2 (c) は、各S T G 2 1 ~ 2 m の動作を示す入出力特性図である。以下、この図2 (c) を参照しつつ、動作を説明する。

【0011】

アナログ入力信号A I は、S H A 1 によってタイミング信号T M に基づいて標本化及び保持される。保持された信号は、入力電圧V I として初段のS T G 2 1 に与えられ、このS T G 2 1 内のS A D C 3 で基準電圧 $\pm V_R/4$ と比較判定される。判定結果は、信号A, B, C の内のいずれか1つを“1”とすることによって出力される。

【0012】

入力電圧V Iが、 $-VR/4$ 以下であれば、S A D C 3の判定結果の信号Aは“1”となり、信号B，Cは“0”となる。入力電圧V Iが、 $-VR/4 \sim +VR/4$ であれば、信号Bは“1”となり、信号A，Cは“0”となる。また、入力電圧V Iが、 $+VR/4$ 以上であれば、信号A，Bは“0”となり、信号Cは“1”となる。これらの信号A，B，Cは、エンコーダ8とS D A C 4に与えられる。

【0013】

S D A C 4では、信号Aが“1”的時に基準電圧として $-VR/2$ が出力され、信号B，Cがそれぞれ“1”的時には、基準電圧としてそれぞれ 0 ， $+VR/2$ が出力される。S D A C 4から出力される基準電圧は減算器5に与えられ、この減算器5において、入力電圧V Iからこの基準電圧が減算される。減算器5から出力される電圧は、S H A 6によってタイミング信号T Mに基づいて保持され2倍に電圧増幅された後、出力電圧V Oとして出力される。

【0014】

これにより、図2(c)に示すように、S T G 2 1の入力電圧V Iが $-VR/4$ 以下であれば、その出力電圧V Oは $-VR \sim +VR/2$ の範囲となる。また、入力電圧V Iが $-VR/4 \sim +VR/4$ の間にあれば、その出力電圧V Oは $-VR/2 \sim +VR/2$ の範囲となり、この入力電圧V Iが $+VR/4$ 以上であれば、出力電圧V Oは $-VR/2 \sim +VR$ の範囲となる。S T G 2 1の出力電圧V Oは、次段のS T G 2 2に対して入力電圧V Iとして与えられる。

【0015】

このように、タイミング信号T Mに基づいて各S T G 2 1～2 mから1.5ビットのデジタル信号が出力され、それらがエンコーダ8によってパイプライン処理されて、所定ビット数のデジタル信号D Oが生成される。

【0016】

【発明が解決しようとする課題】

しかしながら、従来のパイプライン型A D Cでは、次のような課題があった。即ち、各S T G 2の出力電圧V Oは、次段のS T G 2の入力電圧V Iとなるため、これらS T G 2を構成するS H A 6は、入出力電圧が正しく比例するように厳

密な直線性が要求される。直線性が悪いと、増幅時の非直線歪みのために、正確なデジタル値が得られないからである。

【0017】

一方、STG₂₁～2_mから出力される出力電圧VOの範囲は-VR～+VRとなり、これに対応するSHA6の入力電圧の範囲は-VR/2～+VR/2である。従って、各SHA6は広い入力電圧範囲に対して正確な直線性が必要である。更に、変換速度の高速化も要求されている。しかしながら、高精度と高速度は、増幅器にとって相反する要素で両方を同時に最大にすることは不可能である。このため、図2のような従来の構成では、高精度と高速度の要求を同時に満たすようなパイプライン型ADCを得ることはできなかった。

【0018】

【課題を解決するための手段】

前記課題を解決するために、第1の発明は、アナログの入力電圧を1.5ビットのデジタル信号に変換するSADCと、前記デジタル信号をアナログ電圧に変換するSDACと、前記入力電圧と前記アナログ電圧との差電圧を標本化及び保持してその保持した差電圧を増幅する増幅器とを備えたSTGを複数段継続接続し、クロック信号に基づいてパイプライン処理を行うことによって変換対象のアナログ入力信号に対応する所定ビット数のデジタル出力信号を得るパイプライン型ADCにおいて、前記複数のSTGのうちで前記アナログ入力信号が与えられる初段のSTGを、次のように構成している。

【0019】

即ち、この初段のSTGは、アナログ入力信号を標本化及び保持して該アナログ入力信号の1/N（但し、Nは2または4）の電圧を第1のアナログ電圧として出力する第1の増幅器と、前記第1のアナログ電圧を1.5ビットの第1のデジタル信号に変換する第1のSADCと、前記第1のデジタル信号を第2のアナログ電圧に変換する第1のSDACと、前記第1及び第2のアナログ電圧の差電圧を標本化及び保持して該保持した差電圧をN倍に増幅して第3のアナログ電圧を出力する第2の増幅器を備えている。

【0020】

更に、このSTGは、前記第3のアナログ電圧を1.5ビットの第2のデジタル信号に変換する第2のSADCと、前記第2のデジタル信号を第4のアナログ電圧に変換する第2のSDACと、前記第3及び第4のアナログ電圧の差電圧を標本化及び保持して該保持した差電圧を2倍に増幅して次段のSTGへ与える第3の増幅器と、前記第1及び第2のデジタル信号に基づいて最上位ビットに対応する1.5ビットのデジタル信号を生成する判定部を備えている。

【0021】

第1の発明によれば、以上のようにパイプライン型ADCを構成したので、初段のSTGによって次のような作用が行われる。

【0022】

アナログ入力信号は、第1の増幅器によって標本化及び保持され、このアナログ入力信号の $1/N$ の電圧が第1のアナログ電圧として出力される。第1のアナログ電圧は、第1のSADCによって1.5ビットの第1のデジタル信号に変換され、更にこの第1のデジタル信号が第1のSDACによって、第2のアナログ電圧に変換される。第1及び第2のアナログ電圧は第2の増幅器へ与えられ、その差電圧が標本化及び保持され、更にN倍に増幅されて第3のアナログ電圧として出力される。

【0023】

第3のアナログ電圧は、第2のSADCによって1.5ビットの第2のデジタル信号に変換され、更にこの第2のデジタル信号が第2のSDACによって、第4のアナログ電圧に変換される。第3及び第4のアナログ電圧は第3の増幅器へ与えられ、その差電圧が標本化及び保持され、更に2倍に増幅されて次段のSTGへ出力される。一方、判定部では、第1及び第2のデジタル信号に基づいて最上位ビットに対応する1.5ビットのデジタル信号が生成される。

【0024】

このような構成により、各増幅器に入力されるアナログ電圧の範囲は従来の $1/2$ となり、高精度と高速度の要求を同時に満たすことが可能になる。

【0025】

第2の発明は、第1の発明と同様のパイプライン型ADCにおける初段のST

Gを、次のように構成している。

【0026】

即ち、この初段のSTGは、アナログ入力信号に基準電圧を加えた電圧を保持して出力する第1の保持部と、前記アナログ入力信号を保持して出力する第2の保持部と、前記アナログ入力信号から前記基準電圧を減じた電圧を保持して出力する第3の保持部と、前記アナログ入力信号を前記基準電圧の±1/2の電圧と比較して1.5ビットの第1のデジタル信号に変換する第1のサブA/D変換器と、前記第1、第2及び第3の保持部から出力される電圧の1つを前記第1のデジタル信号に従って選択して第1のアナログ電圧として出力する選択部を備えている。

【0027】

更にこのSTGは、前記第1のアナログ電圧を1.5ビットの第2のデジタル信号に変換する第2のサブA/D変換器と、前記第2のデジタル信号を第2のアナログ電圧に変換するサブD/A変換器と、前記第1及び第2のアナログ電圧の差電圧を標本化及び保持して該保持した差電圧を2倍に増幅して次段のSTGへ与える増幅器と、前記第1及び第2のデジタル信号に基づいて最上位ビットに対応する1.5ビットのデジタル信号を生成する判定部を備えている。

【0028】

【発明の実施の形態】

(第1の実施形態)

図1は、本発明の第1の実施形態を示すパイプライン型ADCの概略の構成図である。

【0029】

このパイプライン型ADCは、相補的なタイミング信号TM, /TMに基づいて、変換対象のアナログ入力信号AIを一定周期で標本化して処理する入力処理部10と、この入力処理部10の出力信号をデジタル信号に変換する第1段目のSTG20を有している。更に、このパイプライン型ADCは、第2段目以降の複数のSTG30(但し、図1中には第2段目のみ記載)、最終段目のSDAC40、これらのSTG20, 30とSDAC40の出力信号に基づいて所定ビ

ット数のデジタル信号D Oを生成するエンコーダ50、及びタイミング生成部60を備えている。

【0030】

入力処理部10は、アナログ入力信号A Iが与えられ、タイミング信号TMで周期的にオン・オフされるスイッチ(SW)11を有し、このスイッチ11の出力側に電圧増幅率1/2のS HA 12が接続されている。S HA 12は、入力された電圧を標本化して保持し、その保持した電圧V 12を出力するものである。S HA 12の出力側は、電圧V 12を1.5ビットのデジタル信号D Aに変換するS ADCに接続されている。このS ADCは比較器(CMP)13, 14とエンコーダ(ENC)15で構成され、S HA 12の出力側がこれらの比較器13, 14の入力側に接続されている。

【0031】

比較器13, 14は、S HA 12から出力される電圧V 12を、それぞれ基準電圧+VR/4, -VR/4と比較するもので、その出力側がエンコーダ15に接続されている。そして、エンコーダ15によって、電圧V 12が、-VR/4以下, -VR/4～+VR/4, +VR/4以上の3つの電圧範囲の内のいずれに入っているかが検出されるようになっている。

【0032】

エンコーダ15の検出結果は、デジタル信号D AとしてSTG 20に与えられると共に、1.5ビットのSDACの入力信号、言い換えるとSDACを構成するスイッチ16a, 16b, 16cに対する制御信号として与えられるようになっている。即ち、電圧V 12が-VR/4以下の時は、スイッチ16aがオンとなって基準電圧+VR/2が選択され、-VR/4～+VR/4の範囲の時には、スイッチ16bがオンとなって共通電圧VC (=0) が選択され、+VR/4以上の時には、スイッチ16cがオンとなって基準電圧-VR/2が選択されるようになっている。

【0033】

更に電圧V 12は、タイミング信号/TMでオン・オフされるスイッチ17を介して、S HA 18の第1の入力端子に与えられている。S HA 18の第2の入

力端子には、スイッチ16a～16cの出力側が接続されている。S H A 1 8は、第1及び第2の入力端子に与えられる電圧の加算結果を標本化して保持し、保持した電圧を2倍に電圧増幅した電圧V Aを出力するものである。即ち、S H A 1 8によって、電圧V 1 2とこの電圧V 1 2を1. 5ビットにデジタル変換して更にアナログ変換された電圧との差電圧が、2倍に増幅されるようになっている。

【0034】

一方、S T G 2 0は、入力処理部10から与えられる電圧V Aを、1. 5ビットのデジタル信号D Bに変換するS A D Cに接続されている。このS A D Cは比較器21，22とエンコーダ23で構成され、電圧V Aがこれらの比較器21，22に与えられるようになっている。比較器21，22は、電圧V Aをそれぞれ基準電圧 $+V R / 4$ ， $-V R / 4$ と比較するもので、これらの比較器21，22の出力側がエンコーダ23に接続されている。そして、エンコーダ23によって、電圧V Aが、 $-V R / 4$ 以下， $-V R / 4 \sim +V R / 4$ ， $+V R / 4$ 以上の3つの電圧範囲の内のいずれに入っているかが検出されるようになっている。

【0035】

エンコーダ23の検出結果は、デジタル信号D Bとして出力されると共に、1. 5ビットのS D A Cを構成するスイッチ24a，24b，24cに対する制御信号として与えられるようになっている。即ち、電圧V Aが $-V R / 4$ 以下の時には、スイッチ24aがオンとなって基準電圧 $+V R / 2$ が選択され、 $-V R / 4 \sim +V R / 4$ の範囲の時には、スイッチ24bがオンとなって共通電圧V C (= 0) が選択され、 $+V R / 4$ 以上の時には、スイッチ24cがオンとなって基準電圧 $-V R / 2$ が選択されるようになっている。

【0036】

更に電圧V Aは、タイミング信号T Mでオン・オフされるスイッチ25を介して、S H A 2 6の第1の入力端子に与えられている。S H A 2 6の第2の入力端子には、スイッチ24a～24cの出力側が接続されている。S H A 2 6は、S H A 1 8と同様に、第1及び第2の入力端子に与えられる電圧の加算結果を標本化して保持し、保持した電圧を2倍に電圧増幅して出力するものである。即ち、

S H A 2 6 によって、電圧V A とこの電圧V A を1. 5ビットにデジタル変換して更にアナログ変換された電圧との差電圧が、2倍に増幅されるようになっている。

【0037】

エンコーダ15から出力されたデジタル信号D A は、半周期の遅延時間を見る遅延部（D L Y）27を介して判定部28に与えられ、エンコーダ23から出力されるデジタル信号D B は、そのままこの判定部28に与えられるようになっている。判定部28は、デジタル信号D A, D Bに基づいて、最上位ビット（以下、「M S B」という）に対応する1. 5ビットのデジタル信号D 1 を判定し、エンコーダ50に与えるものである。

【0038】

S T G 2 0 の出力側には、第2段目以降のS T G 3 0 が複数個、縦続して接続されている。各段のS T G 3 0 はいずれも同一の構成で、第1段目のS T G 2 0 とほぼ同様の構成となっている。即ち、S T G 3 0 は、S T G 2 0 から遅延部27と判定部28を削除したものである。

【0039】

例えば、第2段目のS T G 3 0 は、S T G 2 0 から出力される電圧V 2 6 を1. 5ビットのデジタル信号D 2 に変換する比較器31, 32及びエンコーダ33からなるS A D C を有している。更に、このS A D C の出力側には、スイッチ34a, 34b, 34cで構成される1. 5ビットのS D A C が接続されている。そして、このS D A C の出力側がS H A 3 6 の第2の入力端子に接続され、このS H A 3 6 の第1の入力端子には、電圧V 2 6 が、タイミング信号/T M でオン・オフされるスイッチ35を介して、与えられるようになっている。S H A 3 6 はS H A 2 6 と同様のもので、その出力側から電圧V 3 6 が出力されて次段のS T G へ与えられるようになっている。

【0040】

また、最終段のS T G の出力信号は、2ビットのS D A C 4 0 に与えられ、このS D A C 4 0 で最下位ビット（以下、「L S B」という）を含む2ビットのデジタル信号D n に変換されて、エンコーダ50に与えられるようになっている

。エンコーダ50は、各段のSTG20, 30から出力される検出結果のデジタル信号D1, D2, …を、タイミング信号TM, /TMに基づいて順次シフトして保持し、SADC40から出力されるデジタル信号Dnに対応して、アナログ入力信号AIに対する各段のSTG20, 30の検出結果をパイプライン処理し、nビットのデジタル信号DOを生成して出力するものである。

【0041】

図3は、図1中の入力処理部10の動作を示す入出力特性図である。以下、この図3を参照しつつ、図1の動作を説明する。

【0042】

アナログ入力信号AIは、タイミング信号TMに基づいてスイッチ11を介してSHA12に入力され、図3中の鎖線で示すように、1/2に増幅されて電圧V12として比較器13, 14へ与えられる。これにより、-VR～+VRの電圧範囲を有するアナログ入力電圧AIは、電圧範囲が-VR/2～+VR/2の電圧V12に圧縮される。

【0043】

半周期後、タイミング信号/TMによって、スイッチ11が開かれてスイッチ17が閉じられる。これにより、SHA12から出力される電圧V12は、そのタイミングで標本化されて保持され、保持された電圧V12がスイッチ17を介して、SHA18の第1の入力端子に与えられる。また、比較器13, 14の比較結果はエンコーダ15へ与えられ、このエンコーダ15によって電圧V12が、-VR/4以下、-VR/4～+VR/4, +VR/4以上の3つの電圧範囲の内のいずれに入っているかが検出される。

【0044】

エンコーダ15の検出結果は、デジタル信号DAとして遅延部27に与えられると共に、この検出結果に基づいてスイッチ16a～16cのいずれかがオンとなる。即ち、電圧V12が-VR/4以下であれば、スイッチ16aがオンとなって基準電圧+VR/2が選択され、-VR/4～+VR/4の時にはスイッチ16bがオンとなって共通電圧VCが選択され、+VR/4以上の時には、スイッチ16cがオンとなって基準電圧-VR/2が選択される。選択された電圧

は、S H A 1 8 の第2の入力端子に与えられる。

【0045】

S H A 1 8 では、2つの入力端子に与えられる電圧が加算され、その加算結果が2倍に増幅されて電圧V Aとして出力される。従って、電圧V Aは、図3中の太線で示すように、電圧V 1 2 が $-VR/2 \sim -VR/4$ の時に $0 \sim +VR/2$ となり、電圧V 1 2 が $-VR/4 \sim +VR/4$ の時に $-VR/2 \sim +VR/2$ となり、電圧V 1 2 が $+VR/4 \sim +VR/2$ の時に $-VR/2 \sim 0$ となる。即ち、S H A 1 8 から出力される電圧V Aの範囲は、 $-VR/2 \sim +VR/2$ に圧縮される。

【0046】

更に半周期後、タイミング信号T Mによって、スイッチ1 1がオンとなって新たなアナログ入力信号A IがS H A 1 2に入力される。一方、スイッチ1 7がオフとなってS H A 1 8から出力される電圧V Aは、そのタイミングで標本化されて保持される。保持された電圧V Aは、S T G 2 0のオフとなったスイッチ2 5を介して、S H A 2 6の第1の入力端子に与えられる。更に、電圧V Aは比較器2 1， 2 2によって基準電圧 $\pm VR/4$ と比較される。

【0047】

比較器2 1， 2 2の比較結果はエンコーダ2 3へ与えられ、このエンコーダ2 3によって電圧V Aが、 $-VR/4$ 以下， $-VR/4 \sim +VR/4$ ， $+VR/4$ 以上の3つの電圧範囲の内のいずれに入っているかが検出される。エンコーダ2 3の検出結果は、デジタル信号D Bとして判定部2 8に与えられると共に、この検出結果に基づいてスイッチ2 4 a～2 4 cのいずれかがオンにされる。即ち、電圧V Aが $-VR/4$ 以下であれば、スイッチ2 4 aがオンとなって基準電圧 $+VR/2$ が選択され、 $-VR/4 \sim +VR/4$ の時にはスイッチ2 4 bがオンとなって共通電圧V Cが選択され、 $+VR/4$ 以上の時には、スイッチ2 4 cがオンとなって基準電圧 $-VR/2$ が選択される。選択された電圧は、S H A 2 6の第2の入力端子に与えられる。

【0048】

S H A 2 6 では、2つの入力端子に与えられた電圧が加算され、その加算結果

が2倍に増幅されて電圧V26として出力される。従って、電圧V26は、電圧VAが $-VR/2 \sim -VR/4$ の時に $0 \sim +VR/2$ となり、電圧VAが $-VR/4 \sim +VR/4$ の時に $-VR/2 \sim +VR/2$ となり、電圧VAが $+VR/4 \sim +VR/2$ の時に $-VR/2 \sim 0$ となる。即ち、SHA26から出力される電圧V26の範囲は、 $-VR/2 \sim +VR/2$ である。

【0049】

一方、判定部28では、エンコーダ15から出力されて遅延部27で遅延されたデジタル信号DAと、エンコーダ23から出力されたデジタル信号DBに基づいて、次のようにMSBの判定処理が行われる。

【0050】

デジタル信号DAによって電圧V12が $-VR/4$ 以下と検出されていればMSB = “0”、また電圧V12が $+VR/4$ 以上と検出されていればMSB = “1”とする。電圧V12が $-VR/4 \sim +VR/4$ と検出されている場合は、更にデジタル信号DBによる電圧VAの検出結果が参照される。

【0051】

そして、デジタル信号DBによって電圧VAが $-VR/4$ 以下と検出されればMSB = “0”、また電圧VAが $+VR/4$ 以上と検出されればMSB = “1”とする。もしも、電圧VAが $-VR/4 \sim +VR/4$ と検出されている場合は、判定が保留されて次段のSTG30以降の検出結果に委ねられる。判定部28の判定処理の結果は、デジタル信号D1として、エンコーダ50に与えられる。

【0052】

STG20から出力される電圧V26は、次段のSTG30に与えられる。STG30では、与えられた電圧V26に対してSTG20中の比較器21乃至SHA26と同様の動作が行われる。このSTG30では、説明は割愛するが、エンコーダ33からエンコーダ50に対してデジタル信号D2が出力され、SHA36から後段のSTGに対して電圧V36が出力される。継続接続されたSTG30の最終段の出力電圧はSDAC40に与えられ、このSDAC40でLSBを含む2ビットのデジタル信号Dnに変換される。

【0053】

エンコーダ50では、各STG20, 30から出力される検出結果のデジタル信号D1, D2, …が、タイミング信号TM, /TMに基づいて順次シフトして保持される。そして、SADC40から出力されるデジタル信号Dnに対応して、アナログ入力信号AIに対する各STG20, 30の検出結果が総合的に判定され、所定のnビットのデジタル信号DOが生成されて出力される。

【0054】

以上のように、この第1の実施形態のパイプライン型ADCは、アナログ入力信号AIの電圧範囲を1/2に圧縮して入力される電圧の範囲を検出し、この検出結果に基づいて入力電圧のレベルをシフトして再び2倍に増幅する入力処理部10を有している。このため、各SHAの入力電圧範囲と出力電圧範囲を、従来の1/2に制限することができる。これにより、動作速度を低下させずに、直線性を良くすることが可能になり、速度及び精度の優れたパイプライン型ADCを得ることができるという利点がある。

【0055】

(第2の実施形態)

図4 (a), (b) は、本発明の第2の実施形態を示す入力処理部70の説明図であり、同図 (a) は構成図、及び同図 (b) は動作を示す入出力特性図である。

【0056】

この入力処理部70は、図1中の入力処理部10に代えて設けられるもので、図4 (a) に示すように、タイミング信号TMでオン・オフされるスイッチ71を有し、アナログ入力信号AIがこのスイッチ71を介して、SHA72a, 72b, 72cの第1の入力端子と、比較器73, 74に共通に与えられるようになっている。SHA72a～72cの第2の入力端子には、基準電圧+VR, 共通電圧VC(=0), 基準電圧-VRがそれぞれ与えられている。これらのSHA72a～72cは、第1と第2の入力端子に与えられる電圧を加算し、その加算結果の電圧を保持して出力するものである。SHA72a～72cの出力側は、それぞれスイッチ75a, 75b, 75cを介して、ノードNAに共通接続さ

れている。

【0057】

比較器73, 74は、それぞれアナログ入力信号A Iを基準電圧 $+VR/2$, $-VR/2$ と比較し、比較結果の信号をエンコーダ76に出力するものである。エンコーダ76は、比較器73, 74の比較結果に基づいて、アナログ入力信号A Iが、 $-VR/2$ 以下, $-VR/2 \sim +VR/2$, $+VR/2$ 以上の3つの電圧範囲の内のいずれに入っているかを検出するものである。即ち、比較器73, 74とエンコーダ76によって、1.5ビットのSADCが構成され、このエンコーダ76の検出結果が、デジタル信号DAとして出力されると共に、スイッチ75a～75cに対する制御信号として与えられるようになっている。

【0058】

これにより、アナログ入力信号A Iが $-VR/2$ 以下の時は、スイッチ75aがオンとなり、 $-VR/2 \sim +VR/2$ の範囲の時には、スイッチ75bがオンとなり、 $+VR/2$ 以上の時には、スイッチ75cがオンとなるように制御されるようになっている。そして、スイッチ75a～75cのいずれか1つで選択された電圧が、電圧VAとしてノードNAに出力されるようになっている。

【0059】

次に動作を説明する。

スイッチ71がオンになると、アナログ入力信号A IがSHA72a～72cの第1の入力端子に与えられる。これにより、図4（b）に示すように、SHA72aから出力される電圧V72aは、A I + VRとなる。また、SHA72bから出力される電圧V72bはA Iとなり、SHA72cから出力される電圧V72cはA I - VRとなる。

【0060】

一方、エンコーダ76からは、アナログ入力信号A Iが、 $-VR/2$ 以下の時に、スイッチ75aをオンにする制御信号が出力される。従って、アナログ入力電圧A Iが $-VR/2$ 以下の時、ノードNAに出力される電圧VAは、図4（b）中の電圧V72aの太線部分となる。また、アナログ入力信号A Iが、 $-VR/2 \sim +VR/2$ の時には、スイッチ75bがオンにされ、ノードNAに出力さ

れる電圧VAは、図4（b）中の電圧V72bの太線部分となる。更に、アナログ入力信号AIが、 $+VR/2$ 以上の時には、スイッチ75cがオンにされ、ノードNAに出力される電圧VAは、図4（b）中の電圧V72cの太線部分となる。

【0061】

従って、この入力処理部70のノードNAから出力される電圧VAは、図3に示される図1中の入力処理部10の電圧VAと同じように、 $-VR/2 \sim +VR/2$ の電圧範囲となる。

【0062】

以上のように、この第2の実施形態の入力処理部70は、アナログ入力信号AIの絶対値が $VR/2$ を越える電圧範囲に対して、基準電圧VRだけシフトさせるように構成し、その結果の電圧VAを $-VR/2 \sim +VR/2$ の範囲に収めるようにしている。これにより、後段の各SHAの入力電圧範囲と出力電圧範囲を、従来の $1/2$ に制限することが可能になり、第1の実施形態よりも簡単な構成で、この第1の実施形態と同様の利点を得ることができる。

【0063】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

【0064】

(a) 各SHA18, 26等では、第1と第2の入力端子に与えられる電圧を加算しているが、例えば第2の入力端子に与える電圧の極性を逆にして、減算するように構成しても良い。即ち、各SHA18, 26, 36において、前段から与えられるアナログ電圧と1.5ビットのSDACから出力されるアナログ電圧の差電圧が増幅されて出力されるように構成すれば良い。

【0065】

(b) 最終段には2ビットのSADC40を設けているが、STG30を1段増やして1ビットのSADCを使用することもできる。

【0066】

(c) 各STGは、比較電圧を2種類として電圧範囲を3つに分類する1.5

ビット方式となっているが、比較電圧を4種類として電圧範囲を1/4の5つに分類する2.5ビット方式を使用することもできる。

【0067】

(d) 図1の入出力部10では、SHA12の利得を1/2とし、SHA18の利得を2倍に設定しているが、SHA12の利得を1/4とし、SHA18の利得を4倍に設定しても良い。

【0068】

【発明の効果】

以上詳細に説明したように、第1の発明によれば、アナログ入力信号を保持してそのアナログ入力信号の1/Nの電圧を出力する第1の増幅器を備えた初段のSTGを有している。これにより、各STG中の増幅器の入力電圧範囲が1/Nとなり、増幅器によって直線性の良い出力電圧を得ることが可能になって、高精度と高速度の要求を同時に満たすパイプライン型ADCを得ることができる。

【0069】

第2の発明によれば、初段のSTGにおいて、アナログ入力信号を基準電圧だけ増減させて出力する第1及び第3の保持部と、このアナログ入力信号を基準電圧の±1/2の電圧と比較して1.5ビットの第1のデジタル信号に変換する第1のSADCと、この第1のデジタル信号の基づいて、アナログ入力信号または第1または第3の保持部の出力電圧を選択する選択部を有している。これにより、選択部から出力される第1のアナログ電圧の範囲を常に基準電圧の±1/2以内に収めることができなり、第1の発明と同様の効果が得られる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態を示すパイプライン型ADCの概略の構成図である。

【図2】

従来のパイプライン型ADCの概略を示す構成図である。

【図3】

図1中の入力処理部10の動作を示す入出力特性図である。

【図4】

本発明の第2の実施形態を示す入力処理部70の説明図である。

【符号の説明】

10 入力処理部

12, 18, 26, 36 SHA (サンプル・ホールド増幅器)

13, 14, 21, 22, 31, 32 比較器

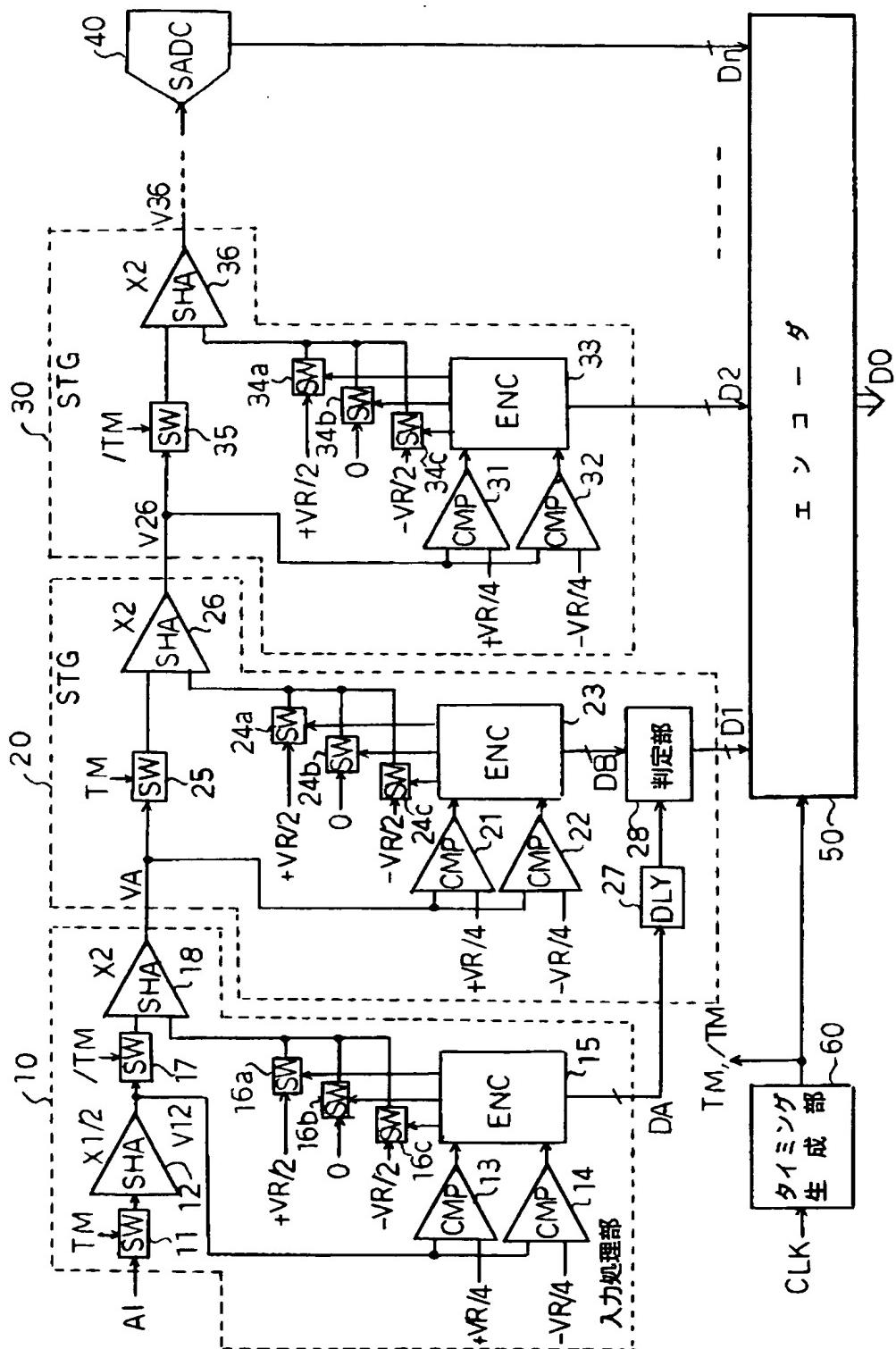
15, 23, 33, 50 エンコーダ

20, 30 STG (アナログ・デジタル変換ステージ)

【書類名】

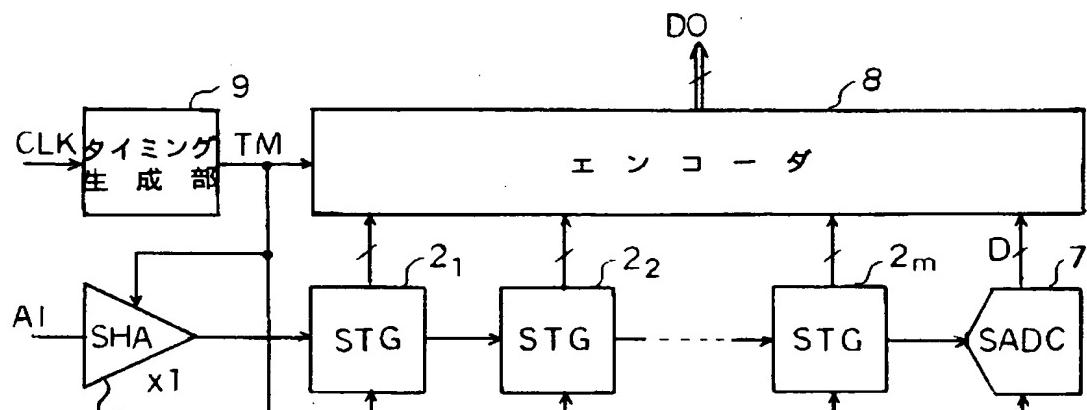
図面

【図 1】

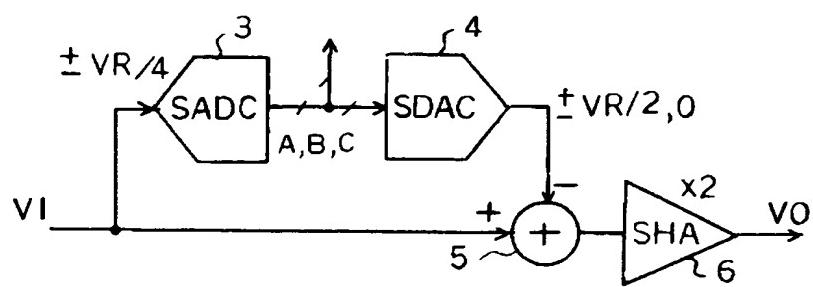


本発明の第1の実施形態のパイプライン型ADC

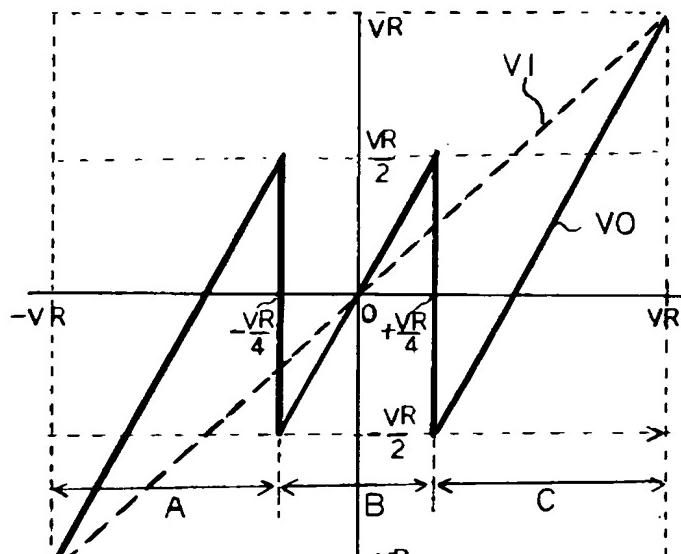
【図2】



(a) 全体構成



(b) STG 2 の構成



(c) STG 2 の入出力特性

従来のパイプライン型 ADC

【図3】

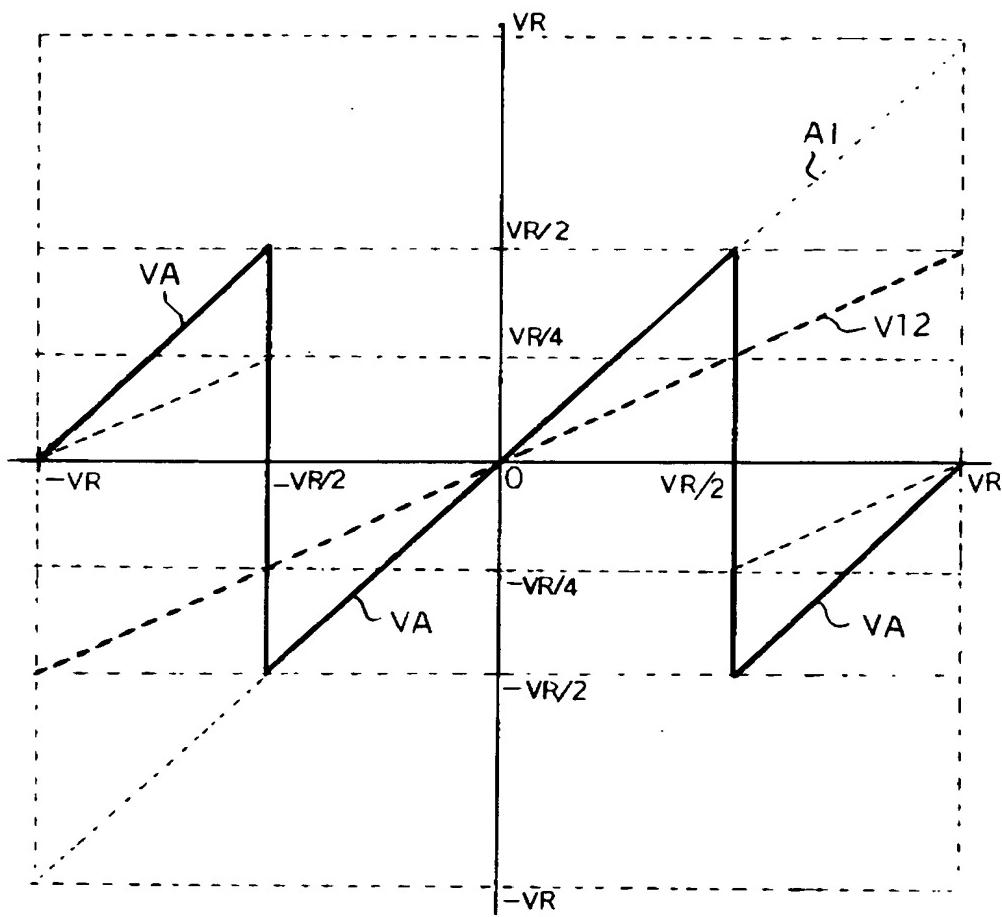
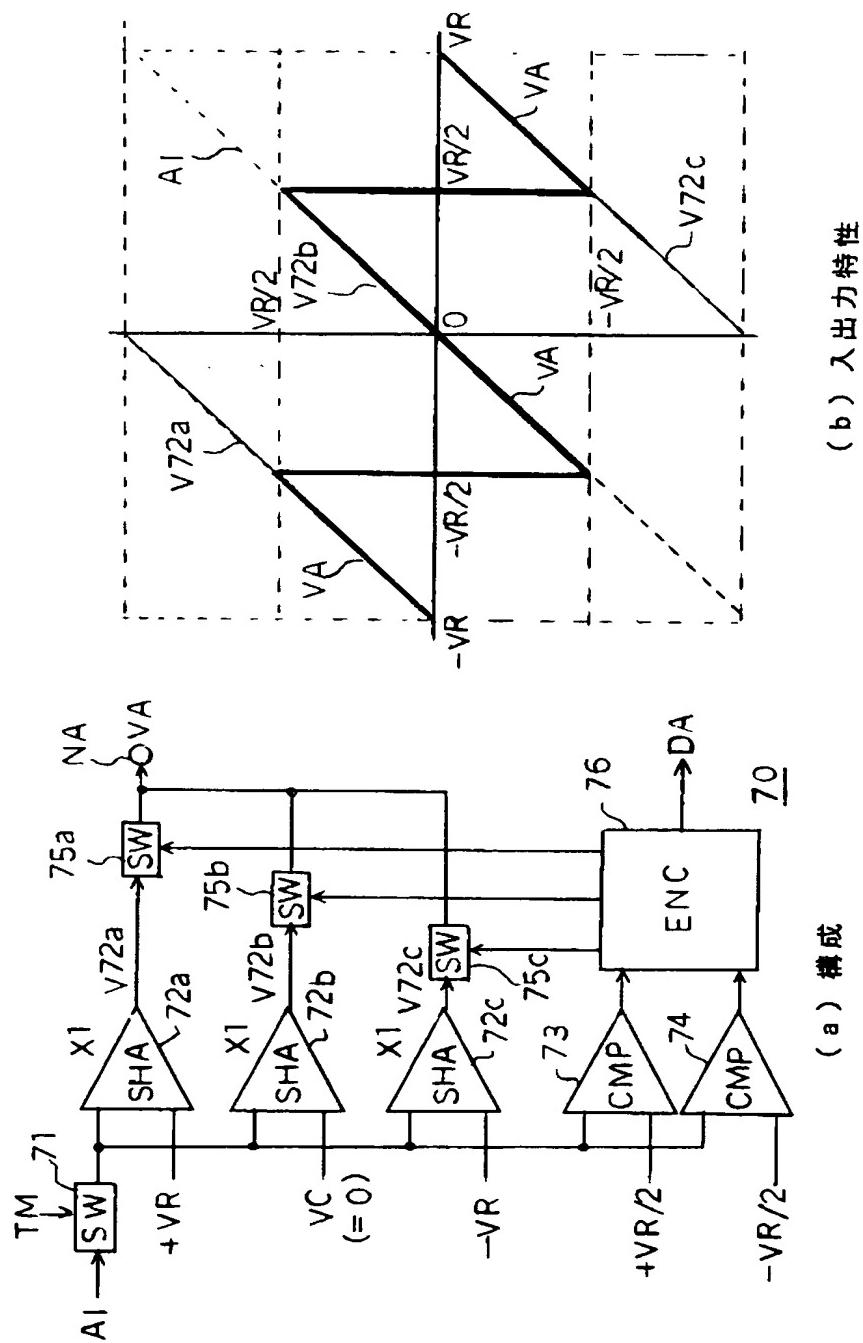


図1中の入力処理部10の入出力特性

【図 4】



本発明の第2の実施形態の入力処理部

(a) 構成 (b) 入出力特性

【書類名】 要約書

【要約】

【課題】 高精度と高速度の要求を同時に満たすパイプライン型アナログ・デジタル変換器を提供する。

【解決手段】 アナログ入力信号A Iは、電圧増幅率1／2のサンプル・ホールド増幅器（S H A）1 2によって保持され、電圧V 1 2として出力される。電圧V 1 2は、サブ・アナログ・デジタル変換器（S A D C：比較器1 3， 1 4及びエンコーダ1 5）で1. 5ビットのデジタル信号に変換され、更にサブ・デジタル・アナログ変換器（S D A C：スイッチ1 6 a～1 6 c）でアナログ信号に変換されてS H A 1 8に与えられる。S H A 1 8では、電圧V 1 2とS D A Cの差電圧が2倍に増幅されて電圧V Aとして、次のアナログ・デジタル変換ステージ2 0に与えられる。これにより、各S H Aの入力電圧範囲は、従来の1／2に抑えられ、直線性を損なうことなく高速動作が可能になる。

【選択図】 図1

特願 2003-135450

出願人履歴情報

識別番号 [00000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社